

5-Sub
42
2-15-02

JG979 U.S. PTO
10/043946



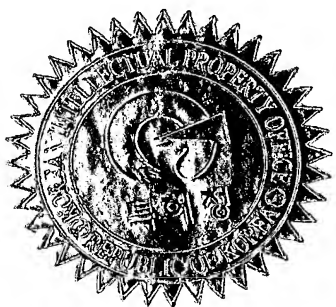
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 2163 호
Application Number PATENT-2001-0002163

출원년월일 : 2001년 01월 15일
Date of Application JAN 15, 2001

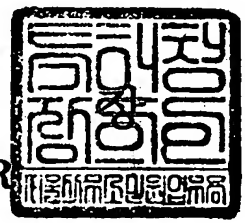
출원인 : 앰코 테크놀로지 코리아 주식회사
Applicant(s) Amkor Technology Korea, Inc.



2001 년 12 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.01.15
【국제특허분류】	H01L
【발명의 명칭】	적층형 반도체 패키지
【발명의 영문명칭】	stack-type semiconductor package
【출원인】	
【명칭】	앰코 테크놀로지 코리아 주식회사
【출원인코드】	1-1999-032391-1
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-064945-9
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-064946-6
【발명자】	
【성명의 국문표기】	백종식
【성명의 영문표기】	BAEK, Jong Sik
【주민등록번호】	700330-1450745
【우편번호】	130-035
【주소】	서울특별시 동대문구 답십리5동 678번지
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강용복 (인) 대리인 김용인 (인)

【수수료】

【기본출원료】	12 면	29,000 원
---------	-----------	-------------

【가산출원료】	0 면	0 원
---------	----------	--------

【우선권주장료】	0 건	0 원
----------	----------	--------

【심사청구료】	0 항	0 원
---------	----------	--------

【합계】	29,000 원	
------	-------------	--

【첨부서류】	1. 요약서·명세서(도면)_1통	
--------	-------------------	--

【요약서】

【요약】

본 발명은 적층형 반도체 패키지에 관한 것으로서, 동일한 크기의 칩을 적층하여 패키지의 용량을 증가함과 경박단소한 새로운 형태의 적층형 반도체 패키지를 제공하기 위한 것이다.

이를 위해 본 발명은 각 리드(131)의 일면 내측부(131a)가 그 외측부(131b)의 두께보다 얇게 형성되는 리드프레임(130)과; 본딩패드(113)가 상기 각 리드(131)와 접촉하지 않도록 접착수단에 의해 상기 각 리드(131)의 타면에 장착되는 제1칩(110)과; 본딩패드(123)가 형성됨과 함께 접착수단에 의해 상기 제1칩(110)에 결합되는 제2칩(120)과; 상기 제1칩(110) 및 상기 제2칩(120)과 상기 리드프레임(130)을 각각 전기적으로 연결하는 제1접속수단 및 제2접속수단과; 상기 각 칩(110)(120), 상기 각 접속수단 및 상기 각 리드(131)의 일부를 외부로부터 보호하기 위해 봉지되는 봉지재(180)를 포함하여 이루어지는 적층형 반도체 패키지가 제공된다.

【대표도】

도 1

【색인어】

반도체, 패키지, 적층

【명세서】

【발명의 명칭】

적층형 반도체 패키지{stack-type semiconductor package}

【도면의 간단한 설명】

도 1 은 본 발명에 따른 적층형 반도체 패키지의 제1실시예를 나타내는 단면도

도 2a 는 본 발명에 따른 칩과 리드프레임과의 결합관계를 나타내는 저면도

도 2b 는 본 발명에 따른 칩과 리드프레임과의 결합관계를 나타내는 평면도

도 3a 내지 3e 는 본 발명에 따른 적층형 반도체 패키지의 제조방법을 나타내는 공정도

도면의 주요부분에 대한 부호설명

100. 반도체 패키지 110. 제1칩

113. 제2칩 본딩패드 120. 제2칩

123. 제1칩 본딩패드 130. 리드프레임

131. 리드 135. 탑재판

151. 제1와이어 153. 제2와이어

160. 접착제 180. 봉지재

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 적층형 반도체 패키지에 관한 것으로서, 보다 상세하게는 리드프레임의 상부와 하부에 동일한 크기의 칩을 적층할 수 있는 반도체 패키지에 관한 것이다.

<13> 현재, 반도체 패키지는 급진전되는 기술의 발달과 더불어 소형 박형화되어 가고 있으며, 이러한 요구에 부응하여 새로운 형태의 다양한 반도체 패키지가 계속해서 개발되고 있다.

<14> 또한, 최근에는 다양한 기능을 위해 고용량의 반도체 패키지가 요구되고 있으나, 단일 칩만으로는 이와 같이 다기능을 수행 할 수 있는 반도체 패키지를 실현하는 데에는 한계가 있다.

<15> 이에 따라, 패키지 내부에 칩을 적층하거나, 혹은 패키지를 적층하는 다양한 형태의 반도체 패키지들이 제안되고 있다.

<16> 그러나, 이러한 적층형 반도체 패키지는 칩 혹은 패키지를 적층함에 따라, 각 반도체 패키지마다 갖는 단점 또는 구조적 한계를 갖고 있으며, 이에 새로운 적층형 반도체 패키지가 개발되고 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 이와 같은 종래의 문제점을 해결하기 위해 안출한 것으로서, 동일한 크기의 칩을 적층하여 패키지의 용량을 증가함과 경박단소한 새로운 형태의 적층형 반도체 패키지를 제공하기 위한 것이다.

【발명의 구성 및 작용】

<18> 상기한 목적을 달성하기 위한 본 발명에 따르면, 각 리드의 일면 내측부가 그 외측부의 두께보다 얇게 형성되는 리드프레임과; 본딩패드가 상기 각 리드와 접촉하지 않도록 접착수단에 의해 상기 각 리드의 타면에 장착되는 제1칩과; 본딩패드가 형성됨과 함께 접착수단에 의해 상기 제1칩에 결합되는 제2칩과; 상기 제1칩 및 상기 제2칩과 상기 리드프레임을 각각 전기적으로 연결하는 제1접속수단 및 제2접속수단과; 상기 각 칩, 상기 각 접속수단 및 상기 각 리드의 일부를 외부로부터 보호하기 위해 봉지되는 봉지제를 포함하여 이루어지는 적층형 반도체 패키지가 제공된다.

<19> 이하, 본 발명의 바람직한 실시예를 첨부한 도 1 내지 도 3e 를 참조하여 상세히 설명하면 다음과 같다.

<20> 도 1 은 본 발명에 따른 적층형 반도체 패키지의 제1실시예를 나타내는 단면도이고, 도 2a 는 본 발명에 따른 칩과 리드프레임과의 결합관계를 나타내는 저면도이며, 도 2b 는 본 발명에 따른 칩과 리드프레임과의 결합관계를 나타내는 평면도이다.

- <21> 도시한 바와 같이 본 발명에 따른 제1실시예의 적층형 반도체 패키지(100)는 리드프레임(130)과, 상기 리드프레임(130)에 장착되는 제1칩(110)과, 상기 제1칩(110)에 결합되는 제2칩(120)과, 상기 각 칩(110)(120)과 상기 리드프레임(130)을 전기적으로 연결하는 제1접속수단 및 제2접속수단과, 상기 각 칩(110)(120), 상기 각 접속수단 및 상기 각 리드(131)의 일부를 외부로부터 보호하기 위해 봉지되는 봉지재(180)로 크게 구성된다.
- <22> 상기 리드프레임(130)은 그 중앙부에 탑재판(135)이 형성되고, 상기 탑재판(135)에서 일정거리 떨어진 상태로 그 둘레를 따라 복수개의 리드(131)가 일정간격으로 형성된다.
- <23> 특히, 상기 각 리드(131)의 일면 내측부(131a)는 하프 에칭등의 방법으로 상기 각 리드(131)의 일면 외측부(131b)보다 두께가 얇게 형성된다.
- <24> 그리고, 상기 각 리드(131)의 타면 및 탑재판(135)에는 상기 제1칩(110)이 접착제(160)와 같은 접착수단에 의해 장착됨과 함께 상기 제1칩(110) 역시 접착제(160)에 의해 상기 제2칩(120)과 결합된다.
- <25> 한편, 상기 제2칩(120)에 형성된 본딩패드(123)는 제2접속수단에 의해 상기 각 리드(131)의 타면과 연결되어, 상기 제2칩(120)과 상기 리드프레임(130)을 전기적으로 연결한다.
- <26> 또한, 상기 제1칩(110)에 형성된 본딩패드(113)도 제1접속수단에 의해 상기 각 리드(131)의 일면 내측부(131a)와 연결되어, 상기 제1칩(150)과 상기 리드프레임(130)을 전기적으로 연결한다.

- <27> 특히, 본 실시예에서는 상기한 제1접속수단 및 제2접속수단으로써 제1와이어(151)와 제2와이어(153)를 각각 사용한 것을 나타낸다.
- <28> 이 때, 상기 제1칩의 본딩패드(113)와 상기 각 리드의 일면 내측부(131a)가 상기 제1와이어(151)에 의해 본딩되기 위해서는, 상기 제1칩(110)을 상기 리드 프레임(130)에 장착시에 상기 제1칩의 본딩패드(113)가 상기 각 리드(131)에 접촉되지 않도록 해야 한다.
- <29> 따라서, 본 실시예에서는 상기 각 리드(131)의 사이 사이에 상기 제1칩의 본딩패드(113)가 위치하게 되어 와이어 본딩이 가능하게 된다.
- <30> 상기한 바와 같이 본 발명에서는 제1칩(110)의 내측에서 와이어 본딩이 수행되므로, 패키지의 전체 사이즈를 줄일 수 있게 된다.
- <31> 또한, 상기 각 칩(110), (120)의 주위에는 봉지재(180)가 봉지되는데, 이 때 상기 각 리드(131)의 일면 외측부(131b)와 탑재판(135)은 봉지재(180)의 외부로 노출된다.
- <32> 그러므로, 상기 각 리드(131)의 일면 외측부(131b)는 외부장치와 연결되는 랜드부를 형성하게 되고, 상기 탑재판(135)은 상기 제1칩(110)의 열방출을 향상시키게 된다.
- <33> 이상은 패키지의 용량을 증가시키기 위해 제1칩(110)과 제2칩(120)을 동일 리드(131)의 일면과 타면에 연결한 것에 대하여 설명한 것이다.

- <34> 한편, 본 발명은 서로 다른 기능을 수행하는 두 칩을 적층할 수도 있는데, 이런 경우에는 제1칩(110)과 제2칩(120)을 서로 다른 리드(131)의 일면과 타면에 교대로 연결하면 된다.
- <35> 이하, 본 발명에 따른 반도체 패키지의 제조방법에 대해서 설명한다.
- <36> 먼저, 도 3a 와 같이 각 리드(131)의 일면 내측부(131a)가 그 외측부(131b)의 두께보다 얇게 형성되는 리드프레임(130)의 상기 각 리드(131)의 타면 및 탑재판(135)에 제1칩(110)을 접착제(160)를 사용하여 장착한다.
- <37> 이 때, 상기 제1칩의 본딩패드(113:도2a참조)는 상기 각 리드(131)와 접촉하지 않고, 상기 각 리드(131)의 사이에 위치되도록 한다.
- <38> 그리고, 도 3b 와 같이 상기 제1칩의 본딩패드(113)와 상기 각 리드(131)의 일면 내측부(131a)를 제1와이어(151)로 본딩한다.
- <39> 상기와 같이 제1칩(110)이 상기 리드프레임(130)에 연결되면, 도 3c 와 같이 상기 제1칩(110)에, 본딩패드(113)가 형성되는 제2칩(120)을 접착제(160)로 결합한다.
- <40> 그리고, 도 3d 와 같이 상기 제2칩의 본딩패드(123)와 상기 각 리드(131)의 타면을 제2와이어(153)로 본딩하여, 상기 제2칩(120)을 상기 리드프레임(130)에 연결하고, 도 3e 와 같이 상기 각 칩(110)(120), 상기 각 와이어(151)(153)를 외부로부터 보호하도록 그 주위를 봉지재(180)로 봉지한다.
- <41> 한편, 본 발명의 반도체 패키지 제조방법은 전술한 방법에 한정되는 것은 아니며, 제1칩(110)과 제2칩(120)을 먼저 접착제(160)으로 결합한 후에, 상기 칩

(110)(120)들을 리드프레임(130)에 장착할 수 있으며, 또한 상기 각 칩
(110)(120)과 리드프레임(130)의 각 와이어(151)(153)에 의한 본딩순서는 경우에
따라 바뀔 수 있다.

【발명의 효과】

- <42> 상기한 바와 같이 본 발명의 적층형 반도체 패키지는 다음과 같은 효과가
있다.
- <43> 첫째, 제1칩과 와이어본딩되는 각 리드의 본딩위치가 제1칩의 내측에 위치
하게 되어, 패키지의 크기를 줄일 수 있다.
- <44> 둘째, 리드의 일면 내측부 두께를 얇게 형성함으로써, 와이어의 루프하이트
위치를 낮출 수 있어 패키지 두께를 박형화할 수 있다.
- <45> 셋째, 리드프레임의 탑재판이 봉지재의 외부로 노출됨으로써, 제1칩에서 발
생되는 열을 효과적으로 방출할 수 있다.
- <46> 넷째, 본 발명은 기존의 MLF(micro lead frame) 공정을 그대로 이용할 수
있기 때문에 제조 단가를 낮출 수 있다.

【특허청구범위】**【청구항 1】**

각 리드의 일면 내측부가 그 외측부의 두께보다 얇게 형성되는 리드프레임과;

본딩패드부가 상기 각 리드와 접촉하지 않도록 접착수단에 의해 상기 각 리드의 타면에 장착되는 제1칩과;

본딩패드부가 형성됨과 함께 접착수단에 의해 상기 제1칩에 결합되는 제2칩과;

상기 제1칩 및 상기 제2칩과 상기 리드프레임을 각각 전기적으로 연결하는 제1접속수단 및 제2접속수단과;

상기 각 칩, 상기 각 접속수단 및 상기 각 리드의 일부를 외부로부터 보호하기 위해 봉지되는 봉지체를 포함하여 이루어지는 적층형 반도체 패키지.

【청구항 2】

제1항에 있어서,

상기 리드프레임의 중앙부에는 상기 제1칩이 장착되는 탑재판이 더 형성되는 것을 특징으로 하는 적층형 반도체 패키지.

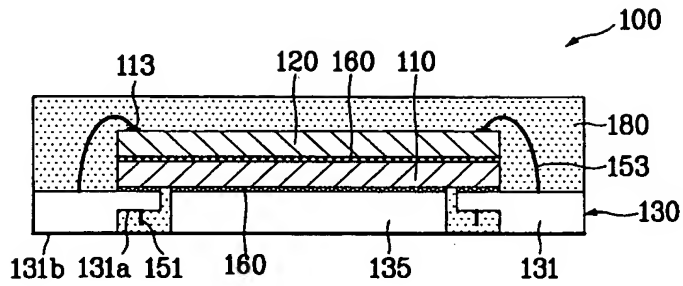
【청구항 3】

제2항에 있어서,

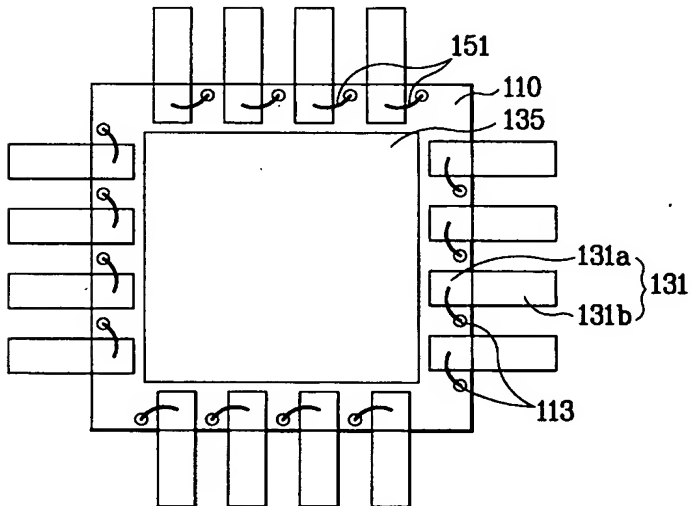
상기 각 리드의 일면과 상기 탑재판이 외부로 노출되는 것을 특징으로 하는 적층형 반도체 패키지.

【도면】

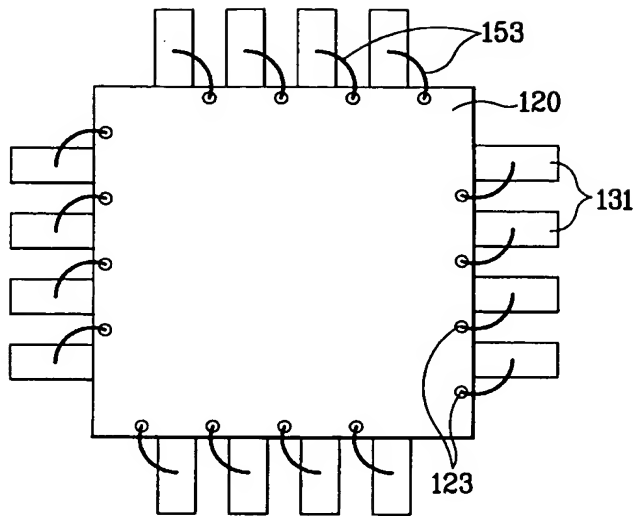
【도 1】



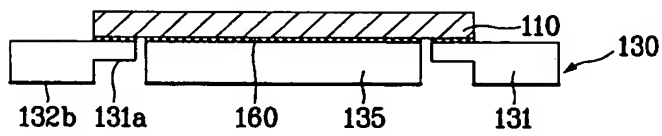
【도 2a】



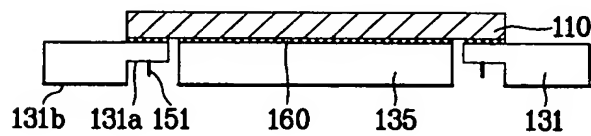
【도 2b】



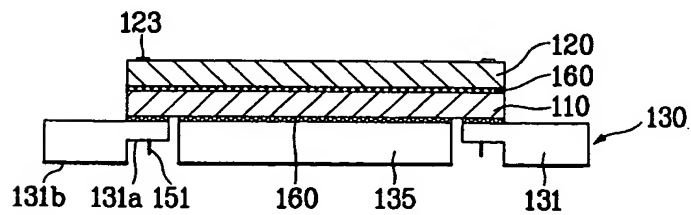
【도 3a】



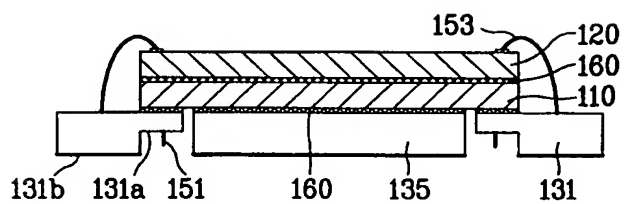
【도 3b】



【도 3c】



【도 3d】



【도 3e】

